

LIQUID CRYSTAL DISPLAY SUBSTRATE AND ITS MANUFACTURE

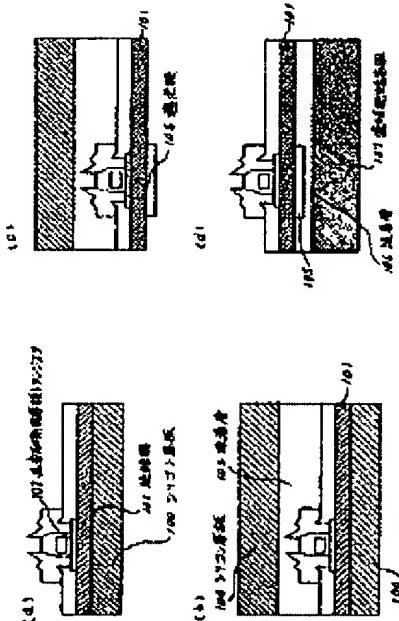
BEST AVAILABLE COPY

Patent number: JP2154232
Publication date: 1990-06-13
Inventor: SUMIYOSHI KEN
Applicant: NIPPON ELECTRIC CO
Classification:
 - international: (IPC1-7): G02F1/136; G09F9/30; H01L27/12
 - european:
Application number: JP19880309304 19881206
Priority number(s): JP19880309304 19881206

[Report a data error here](#)

Abstract of JP2154232

PURPOSE: To prepare a liquid crystal display substrate causing scarcely short-circuiting between wirings and facilitating orientation of the liquid crystals by providing a thin film transistor for the driving of picture element onto one of insulating film surfaces and providing a light shielding film to a position confronting a thin film transistor for the driving of picture element on another surface of the insulating film. **CONSTITUTION:** A thin film transistor 102 for the driving of a picture element is provided onto an insulating film 101 on a silicon substrate 100, and a silicon substrate 104 interposing a bonding layer 103 above the silicon substrate 100. Then, a rear side of the silicon substrate is ground and the insulating film 101 is bared. Thereafter, a light shielding film 105 is provided on the insulating film 101, and a substrate 107 consisting of a transparent insulating material is bonded thereto interposing a bonding layer 106. The silicon substrate 104 is removed by grinding and a liquid crystal display substrate constituted of a thin film transistor on a transparent substrate is obtd. The insulating film 101 can be formed at high temp. is obtd. because it is prep'd. prior to the formation of the thin film transistor 102 for the driving of a picture element. Thus, a liquid crystal display substrate having high reliability because of scarce presence of pinholes in the insulating film 101, causing scarce short circuit between the light shielding film and wiring.



Data supplied from the esp@cenet database - Worldwide

⑫ 公開特許公報 (A) 平2-154232

⑬ Int. Cl. 5

G 02 F 1/136

G 09 F 9/30

H 01 L 27/12

識別記号

5 0 0

3 3 8

3 4 9

A

庁内整理番号

7370-2H

6422-5C

6422-5C

7514-5F

⑭ 公開 平成2年(1990)6月13日

審査請求 未請求 請求項の数 7 (全16頁)

⑮ 発明の名称 液晶表示基板とその製造方法

⑯ 特願 昭63-309304

⑰ 出願 昭63(1988)12月6日

⑱ 発明者 住吉 研 東京都港区芝5丁目33番1号 日本電気株式会社内

⑲ 出願人 日本電気株式会社 東京都港区芝5丁目33番1号

⑳ 代理人 弁理士 内原晋

明細書

ス領域とつながる表示電極を設けたことを特徴とした液晶表示基板。

1. 発明の名称

液晶表示基板とその製造方法

2. 特許請求の範囲

(1) 少くとも絶縁膜の一方の面上に画素駆動用薄膜トランジスタを有し、前記絶縁膜のもう一方の面の前記画素駆動用薄膜トランジスタに対向する位置に遮光膜を有することを特徴とした液晶表示基板。

(2) 少くとも絶縁膜の一方の面上に画素駆動用薄膜トランジスタ及び表示電極を有し、前記絶縁膜のもう一方の面の前記表示電極に対向する位置に液晶層を挿んで対抗する電極と同電位に保たれた蓄積容量電極を有することを特徴とした液晶表示基板。

(3) 少くとも絶縁膜の一方の面上に画素駆動用薄膜トランジスタを有し、前記絶縁膜のもう一方の面に前記画素駆動用薄膜トランジスタのソース電極となる表示電極を有し、前記絶縁膜のもう一方の面に前記画素駆動用薄膜トランジスタのドレイン電極となる垂直配線とゲート電極となる水平配線を有することを特徴とし

(4) 少くとも絶縁膜の一方の面上に画素駆動用薄膜トランジスタと該画素駆動用薄膜トランジスタのドレイン電極となる垂直配線を有し、前記絶縁膜のもう一方の面に前記画素駆動用薄膜トランジスタのゲート電極となる水平配線を有することを特徴とした液晶表示基板。

(5) 少くとも絶縁膜の一方の面上に画素駆動用薄膜トランジスタと該画素駆動用薄膜トランジスタのゲート電極となる垂直配線を有し、前記絶縁膜のもう一方の面に前記画素駆動用薄膜トランジスタのドレイン電極となる垂直配線を有することを特徴とした液晶表示基板。

(6) 少くとも絶縁膜の一方の面上に画素駆動用薄膜トランジスタと該画素駆動用薄膜トランジスタのソース電極となる表示電極を有し、前記絶縁膜のもう一方の面に前記画素駆動用薄膜トランジスタのドレイン電極となる垂直配線とゲート電極となる水平配線を有することを特徴とし

た液晶表示基板。

(7) シリコン基板上に絶縁膜を形成し、該絶縁膜上に画素駆動用薄膜トランジスタを形成する工程と、前記工程の後、前記シリコン基板裏面を該絶縁膜まで研磨し、該絶縁膜裏面に遮光膜、蓄積容量電極、表示電極、垂直配線、水平配線の少くとも1つを形成する工程とを少くとも有することを特徴とした液晶表示基板の製造方法。

3. 発明の詳細な説明

[産業上の利用分野]

本発明は液晶表示装置に関するものである。

[従来の技術]

近年、薄膜トランジスタにより画素の駆動を行う液晶表示装置が開発されている。この液晶表示装置は、液晶表示基板間に液晶を挟持している。液晶表示基板は、基板上に水平配線と垂直配線を設け、その交点に画素駆動用薄膜トランジスタを設けている。画素駆動用薄膜トランジスタのゲー

のため、さらに1層の絶縁膜と導電薄膜を設ければならない。

以上述べたように高画質の液晶表示装置を得るためにには結果として、画素駆動用のトランジスタを基板上に形成し、さらに該トランジスタ上部に多層の絶縁膜と多層の導電薄膜を形成しなければならない。しかしながら、通常用いる絶縁膜は画素駆動用薄膜トランジスタ保護のため低い温度で作成される。このため、該絶縁膜は絶縁耐圧が低くピンホールを有しており、多層の多数の配線のなかには電気的絶縁が完全ではないものが生じ表示上の欠陥となる。

また、液晶分子を基板上に配向させるためには通常ラビング処理が行われている。これは基板表面を機械的に擦ることにより行われる。しかし、大きな段差の配線を有する基板に対してはこのラビング処理を均一に行うことは困難である。このため、均一に液晶分子を配向させることができず、表示上不良となる。

本発明の目的は上記問題点を解決し、画質のよ

い液晶表示装置が得られる液晶表示基板を提供することにある。

[発明が解決しようとする課題]

上記の例から分かるように、画素駆動用薄膜トランジスタを設けた液晶表示基板は最も簡単なもので水平配線と垂直配線の2つの配線が必要であり、さらに2つの配線を電気的に絶縁するための絶縁膜が必要である。しかしながら、良好な表示特性を実現するためには、さらにいくつかの絶縁膜と導電薄膜が必要である。第1に、薄膜トランジスタ材料は通常ある程度の光感度を有するために光から覆うことが必要である。このため、水平配線・垂直配線に加えもう1層の絶縁膜と遮光膜が必要である。さらに、液晶の電気容量（液晶容量）が十分な大きさできかたり液晶容量と並列につながる実効的抵抗値が低い場合には、液晶容量と並列に蓄積容量を設けなければならない。こ

のため、さらに1層の絶縁膜と導電薄膜を設ければならない。

[課題を解決するための手段]

本発明の第1の液晶表示基板は、少くとも絶縁膜の一方の面上に画素駆動用薄膜トランジスタを有し、前記絶縁膜のもう一方の面の前記画素駆動用薄膜トランジスタに対向する位置に遮光膜を有する構成になっている。

本発明の第2の液晶表示基板は、少くとも絶縁膜の一方の面上に画素駆動用薄膜トランジスタ及び表示電極を有し、前記絶縁膜のもう一方の面の前記表示電極に対向する位置に液晶層を挟んで対抗する電極と同電位に保たれた蓄積容量電極を有する構成である。

本発明の第3の液晶表示基板は、少くとも絶縁膜の一方の面上に画素駆動用薄膜トランジスタを有し、前記絶縁膜もうち一方の面に前記画素駆動用薄膜トランジスタのソース領域とつながる表示電極を設けた構成である。

本発明の第4の液晶表示基板は、少くとも絶縁

膜の一方の面上に画素駆動用薄膜トランジスタと該画素駆動用薄膜トランジスタのドレイン電極となる垂直配線を有し、前記絶縁膜もう一方の面に前記画素駆動用薄膜トランジスタのゲート電極となる水平配線を有する構成である。

本発明の第5の液晶表示基板は、少くとも絶縁膜の一方の面上に画素駆動用薄膜トランジスタと該画素駆動用薄膜トランジスタのゲート電極となる垂直配線を有し、前記絶縁膜もう一方の面に前記画素駆動用薄膜トランジスタのドレイン電極となる垂直配線を有する構成である。

本発明の第6の液晶表示基板は、少くとも絶縁膜の一方の面上に画素駆動用薄膜トランジスタと該画素駆動用薄膜トランジスタのソース電極となる表示電極を有し、前記絶縁膜のもう一方の面に前記画素駆動用薄膜トランジスタのドレイン電極となる垂直配線とゲート電極となる水平配線を有する構成である。

本発明の液晶表示基板の製造方法は、シリコン基板上に絶縁膜を形成し、該絶縁膜上に画素駆動

用薄膜トランジスタを形成する工程と、前記工程の後該シリコン基板裏面を該絶縁膜まで研磨し、該絶縁膜裏面に遮光膜、蓄積容量電極、表示電極、垂直配線、水平配線のすくなくとも1つを形成する工程とを少くとも有する構成である。

[作用]

本発明の第1の液晶表示基板とその製造方法について第1図を用いて説明する。本発明の液晶表示基板は、第1図(a)に示すように、シリコン基板100上の絶縁膜101上に画素駆動用薄膜トランジスタ102を設ける。この後、第1図(b)に示すようにシリコン基板100上部に接着層103を介してシリコン基板104を接着させた後、シリコン基板100裏面を研磨し絶縁膜101を露出させる。この工程の後、第1図(c)に示すように絶縁膜101に遮光膜105を設ける。この後、接着層106を介して透明絶縁物基板107を接着し、シリコン基板104を研磨により除去し、第1図(d)に示すように透明基板上に薄膜トランジスタを有する液晶表示基板を得ることができる。

遮光膜を介して形成される寄生容量の大きさははじめに形成する絶縁膜101の厚さにより制御することができる。このため、低い誘電率の厚い絶縁膜101を設けることにより、画素駆動用薄膜トランジスタ200上部に第2図(a)のように遮光膜201を設ける従来構造よりも小さな寄生容量で済ますことができる。さらに第2図(b)に示すように液晶層203を介した対向基板204に遮光膜205を設ける従来の構造に比較して、画素駆動用薄膜トランジスタ位置と遮光膜の間の位置合わせが容易である。また、絶縁膜101は画素駆動用薄膜トランジスタ102の形成前に作製するため、高い温度で作製することができる。このため、本発明による絶縁膜101はピンホールが少なく信頼性が高く、遮光膜と配線間の短絡が少ない。

次に本発明の第2の液晶表示基板とその製造方法について第3図を用いて説明する。本発明の液晶表示基板は、第3図(a)に示すように、シリコン基板300上の絶縁膜301上に画素駆動用薄膜

トランジスタ302を設ける。さらに配線303を設け、表示電極304を設ける。この後、第3図(b)に示すようにシリコン基板300上部に接着層305を介してシリコン基板300裏面を研磨し絶縁膜301を露出させる。この工程の後、第3図(c)に示すように表示電極に対向して絶縁膜上に蓄積容量電極307を設ける。この後、接着層308を介して透明絶縁基板307を絶縁膜に接着し、シリコン基板306、接着層305を研磨により除去し、第3図(d)に示すように透明絶縁基板上に画素駆動用薄膜トランジスタを有する液晶表示基板を得ることができる。蓄積容量電極307は絶縁膜301を誘電体として表示電極304と電気的容量を形成する。蓄積容量電極307を液晶層を介した対向電極と同電位におくことにより、液晶容量と並列に接続された蓄積容量を得ることができる。蓄積容量の大きさは、絶縁膜301の厚さと誘電率により決定することができる。第4図に示す従来のように、基板400上部に蓄積容量を設ける際、

蓄積容量電極 401 と表示電極 402 とで挟んだ蓄積容量の誘電体となる絶縁膜 403 のピンホールが問題となる。しかしながら、本発明においては高温で作製する絶縁膜 301 を誘電体として用いるため、ピンホールによる表示上の欠陥は生じない。

次に本発明の第 3 の液晶表示基板とその製造方法について第 5 図を用いて説明する。本発明の液晶表示基板は、第 5 図(a)に示すように、シリコン基板 500 上の絶縁膜 501 上に画素駆動用薄膜トランジスタ 502 を設ける。この後、第 5 図(b)に示すようにシリコン基板 500 上部に接着層 503 を介して透明絶縁基板 504 を接着させ、シリコン基板 500 裏面を研磨し絶縁膜 501 を露出させる。この工程の後、第 5 図(c)に示すようにコンタクトホールを画素駆動用薄膜トランジスタ 502 のソース領域に対して開口し、表示電極 504 を設ける。従来、第 6 図に示すように配線 600 と表示電極 601 は基板と同一面上に存在したため、配線段差のため液晶表示基板に凹凸ができる。

次に本発明の第 5 の液晶表示基板とその製造方法について第 6 図を用いて説明する。本発明の液晶表示基板は、第 6 図(a)に示すように、シリコン基板 600 上の絶縁膜 601 上に画素駆動用薄膜トランジスタ 602 を設ける。さらに水平配線 603 を設ける。この後、第 6 図(b)に示すようにシリコン基板 600 上部に接着層 604 を介してシリコン基板 605 を接着させ、シリコン基板 600 裏面を研磨し絶縁膜 601 を露出させる。

多く、ラビング処理が困難であった。しかし、本発明によれば第 5 図(c)のように液晶表示基板表面は平坦になっているので配線の厚さに関係なくラビングによる配向処理を行うことができる。

次に本発明の第 4 の液晶表示基板とその製造方法について第 7 図を用いて説明する。本発明の液晶表示基板は、第 7 図(a)に示すように、シリコン基板 700 上の絶縁膜 701 上に画素駆動用薄膜トランジスタ 702 を設ける。さらに画素駆動用薄膜トランジスタ 702 のドレイン電極となる垂直配線 703 を設ける。この後、第 7 図(b)に示すようにシリコン基板 700 上部に接着層 704 を介してシリコン基板 705 を接着させた後、シリコン基板 700 裏面を研磨し絶縁膜 701 を露出させる。この工程の後、第 7 図(c)に示すように画素駆動用薄膜トランジスタ 702 のゲート電極として水平配線 706 を絶縁膜 701 上に設ける。この後、接着層 707 を介して透明絶縁基板 708 を絶縁膜 701 に接着し、シリコン基板 705 と接着層 704 を研磨により除去して第 7 図(d)に示

す液晶表示基板ができる。従来、第 6 図に示すように配線 600 と表示電極 601 は基板と同一面上に存在したため、配線段差のため液晶表示基板に凹凸が多く、ラビング処理が困難であった。しかし、本発明によれば配線の厚さに関係なく水平配線方向にラビングによる配向処理を行うことができる。さらに本発明を用いることにより、水平配線と垂直配線を信頼性の高い高温で作製した絶縁膜 701 を介して分離することができるためピンホールが少なく、容易に多層の配線を行うことができる。

次に本発明の第 5 の液晶表示基板とその製造方法について第 8 図を用いて説明する。本発明の液晶表示基板は、第 8 図(a)に示すように、シリコン基板 800 上の絶縁膜 801 上に画素駆動用薄膜トランジスタ 802 を設ける。さらに水平配線 803 を設ける。この後、第 8 図(b)に示すようにシリコン基板 800 上部に接着層 804 を介してシリコン基板 805 を接着させ、シリコン基板 800 裏面を研磨し絶縁膜 801 を露出させる。

この工程の後、第9図(c)に示すように画素駆動用薄膜トランジスタ902のゲート電極となる水平配線906を設ける。この後、絶縁膜907を設け、画素駆動用薄膜トランジスタ902のドレイン領域に対して開口し、画素駆動用薄膜トランジスタ902のドレイン電極となる垂直配線908を設ける。この後、接着層909を介して透明絶縁基板910を接着させる。さらに、シリコン基板905を研磨により除去し、次いで接着層904を取り去り、第9図(d)に示す液晶表示基板となる。本発明によれば配線の厚さに拘束なく任意の方向にラピングによる配向処理を行うことができる。

第7の本発明の液晶表示基板の製造方法は、上記の液晶表示基板の製造方法によってすでに述べた。

[実施例]

本発明の第1の実施例について第10図を用いて説明する。シリコンウェハー1000を1100℃、水素・酸素雰囲気において、シリコンウェハー1000上に酸化シリコン薄膜1001を厚さ1000

nmを形成した。この後、気相化学反応法により、多結晶シリコン薄膜を150 nm形成し、フォトリソグラフィー工程の後、第10図(e)に示すようにトランジスタ領域1002を作製した。この工程の後、酸素雰囲気中950℃の環境に置き、トランジスタ領域1002の表面に100 nmの酸化シリコン薄膜を形成した。この後、気相化学反応法により多結晶シリコン薄膜を厚さ400 nm形成し、フォトリソグラフィー工程を経て、第10図(f)に示すように成形し、ゲート電極である水平配線1003を形成した。トランジスタ領域にはリンイオンをイオン注入しドレイン領域1004とソース領域1005を形成した後、酸化シリコン薄膜を500 nm形成し、第10図(g)に示すように、フォトリソグラフィー工程を経て、コンタクトホールをドレイン領域1004とソース領域1005の各上部に形成した。この後、スパッタ法によりアルミニウム薄膜を1000 nm成膜し、フォトリソグラフィー工程を経て、ドレイン電極である垂直配線1006とソース電極1007を第10図(h)のよ

うに形成した。さらに、透明導電薄膜を50 nm形成し、フォトリソグラフィー工程を経て、第10図(e)に示すように形成し、表示電極1008を作製した。この後、接着層1009を介してシリコン基板1010を前記シリコン基板1000上部に接着し、前記シリコン基板1000裏面を研磨し、酸化シリコン薄膜1001を露出した。この後、酸化シリコン薄膜1001上にクロム薄膜を300 nm形成し、フォトリソグラフィー工程の後、遮光膜1011を第10図(f)のように作製した。前記工程の後、第10図(g)に示すように、接着層1012を介してガラス基板1013を前記酸化シリコン薄膜1001裏面に接着させ、シリコン基板1010を研磨により除去し、接着層1009も除去した。以上のようにして、1100℃の高温において作成した厚さ1000 nmの酸化シリコンの酸化シリコン薄膜1001裏面に遮光膜1011を作成することができた。また、遮光膜1011の位置精度として、1000 nm以内の値を得ることができ、高精度表示装置に十分対応できることが示された。

本発明の第2の実施例について第11図を用いて説明する。シリコンウェハー1100上に気相化学反応法により、酸化シリコン薄膜1101を厚さ100 nmを形成した。この場合、十分大きな蓄積容量を得るために、絶縁膜として酸化シリコン薄膜より高い誘電率を示す酸化シリコン薄膜を選択し、さらに100 nmの厚さを選んだ。この工程の後、気相化学反応法により、多結晶シリコン薄膜を150 nm作製し、フォトリソグラフィー工程の後、第11図(a)に示すようにトランジスタ領域1102を形成した。この後、酸素雰囲気中950℃の環境に置き、トランジスタ領域1102の表面に100 nmの酸化シリコン薄膜を形成した後、気相化学反応法により多結晶シリコン薄膜を厚さ400 nm形成し、フォトリソグラフィー工程を経て、第11図(b)に示すようにパターン化し、ゲート電極である水平配線1103を形成した。トランジスタ領域にはリンイオンをイオン注入しドレイン領域1104とソース領域1105を形成した後、酸化シリコン薄膜を500 nm形成し、

第11図(c)に示すように、フォトリソグラフィー工程を経て、コンタクトホールをドレイン領域1104とソース領域1105の各上部に形成した。この後、スパッタ法によりアルミニウム薄膜を1000nm成膜し、フォトリソグラフィー工程を経て、ドレイン電極である垂直配線1106とソース電極1107を第11図(d)のように形成した。さらに、透明導電薄膜を50nm形成し、フォトリソグラフィー工程を経て、第11図(e)に示すようにパターン化し、表示電極1108を作製した。この後、接着層1109を介してシリコン基板1110を前記シリコン基板1100上部に接着し、前記シリコン基板1100裏面を研磨し、塗化シリコン薄膜1101を露出した。この後、塗化シリコン薄膜1101上に透明導電薄膜を50nm作製し、フォトリソグラフィー工程の後、蓄積容量電極1111を第11図(f)のように形成した。前記工程の後、第11図(g)に示すように、接着層1112を介してガラス基板1113を前記塗化シリコン1101裏面に接着させ、シリコン基板1110を研磨により除

去し、接着層1109を除去した。以上のようにして、1100nmの高温において作製した厚さ100nmの塗化シリコン薄膜1101裏面に蓄積容量電極1111を形成することができた。この結果、リード電流の少ない蓄積容量を持った液晶表示装置を得ることが出来る。

本発明の第3の実施例について第12図を用いて説明する。シリコンウェハー1200を1100°C水素・酸素雰囲気中において、酸化シリコン薄膜1201を厚さ100nmを形成した。前記工程の後、気相化学反応法により前記酸化シリコン薄膜1201上に多結晶シリコン薄膜を150nm作製し、フォトリソグラフィー工程の後、第12図(a)に示すようにトランジスタ領域1202を形成した。この工程の後、酸素雰囲気中950°Cの環境に置き、トランジスタ領域1202の表面に100nmの酸化シリコン薄膜を形成した。この後、気相化学反応法により多結晶シリコン薄膜を厚さ400nm形成し、フォトリソグラフィー工程を経て、第12(b)に示すようにパターン化し、ゲート電極

でもある水平配線1203を形成した。トランジスタ領域にリンイオンをイオン注入しドレイン領域1204とソース領域1205を形成した後、酸化シリコン薄膜を500nm形成し、第12図(c)に示すように、フォトリソグラフィー工程を経て、コンタクトホールをドレイン領域1204の上部に形成した。この後、スパッタ法によりアルミニウム薄膜を1000nm成膜し、フォトリソグラフィー工程を経て、ドレイン電極である垂直配線1206を第11図(d)のようにコンタクトホールの部分に形成した。この後、接着層1207を介して透明絶縁基板1208を前記シリコン基板1200上部に接着し、前記シリコン基板1200裏面を研磨し、酸化シリコン薄膜1201を第12図(e)に示すように露出した。前記工程の後、フォトリソグラフィー工程を経てソース領域1205に対して、コンタクトホールを開口した後、透明導電薄膜を厚さ50nmを形成し、フォトリソグラフィー工程を経て、表示電極1209を第12図(f)に示すように形成した。以上のようにして、表示電極1209が垂直配

線1206と水平配線1203の同一平面上になく、液晶配向処理の容易な液晶表示基板を得ることができた。

本発明の第4の実施例について第13図を用いて説明する。シリコンウェハー1300上に熟酸化シリコン薄膜1301を厚さ100nmを作製した。前記工程の後、気相化学反応法により、多結晶シリコン薄膜を150nm作製し、フォトリソグラフィー工程の後、第13図(a)に示すようにトランジスタ領域1302を形成した。前記工程の後、酸素雰囲気中950°Cの環境に置き、トランジスタ領域1302の表面に100nmの酸化シリコン薄膜を形成した後、気相化学反応法により多結晶シリコン薄膜を厚さ400nm形成し、フォトリソグラフィー工程を経て、第13図(b)に示すようにパターン化し、ゲート電極1303を形成した。トランジスタ領域にリンイオンをイオン注入しドレイン領域1304とソース領域1305を形成した後、酸化シリコン薄膜を500nm形成し、第13図(c)に示すように、フォトリソグラフィー工程を経て、

て、コンタクトホールをドレイン領域1304とソース領域1305の各上部に形成した。この後、スパッタ法によりアルミニウム薄膜を1000 nm成膜し、フォトリソグラフィー工程を経て、ドレイン電極である垂直配線1306とソース電極1307を第13図(d)のようにコンタクトホールの部分に形成した。さらに、透明導電薄膜を50 nm形成し、フォトリソグラフィー工程を経て、第13図(e)に示すようにパターン化し、表示電極1308を形成した。この後、接着層1309を介してシリコン基板1310を前記シリコン基板1300上部に接着し、前記シリコン基板1300裏面を研磨し、酸化シリコン薄膜1301を露出した。前記工程の後、第13図(f)に示すように、フォトリソグラフィー工程を経て、ゲート電極1303に対向した開口部を酸化シリコン薄膜1301に形成した。さらに、アルミニウム薄膜を厚さ1000 nm作製し、フォトリソグラフィー工程の後、水平配線1311を第13図(f)のように形成した。前記工程後、第13図(g)に示すように接着層1312を介して透明絕縁

基板1313を接着し、研磨工程によりシリコン基板1310を除去し、接着層1309を除去した。以上のようにして、表示電極1308が水平配線1311と同一基板上にない液晶表示基板を得ることが出来た。このため、垂直配線方向に液晶配向処理が容易となった。さらに、水平配線1311と垂直配線1306が1100°Cで作製された酸化シリコン薄膜で分離されているため、配線間の短絡が少ない。

本発明の第5の実施例について第14図を用いて説明する。シリコンウエハー1400上に熱酸化シリコン薄膜1401を厚さ100 nmを形成した。前記工程の後、気相化学反応法により、多結晶シリコン薄膜を150 nm作製し、フォトリソグラフィー工程の後、第14図(d)に示すように酸化シリコン薄膜上にトランジスタ領域1402を形成した。この後、酸素雰囲気中950°Cの環境に置き、トランジスタ領域1402の表面に100 nmの酸化シリコン薄膜を形成した。前記工程の後、気相化学反応法により多結晶シリコン薄膜を厚さ400 nm形成し、フォトリソグラフィー工程を経て、

第14図(b)に示すようにパターン化し、ゲート電極でもある水平配線1403を形成した。前記工程の後、トランジスタ領域1402にシリコンイオンをイオン注入しドレイン領域1404とソース領域1405を形成した後、酸化シリコン薄膜を500 nm形成し、第14図(c)に示すように、フォトリソグラフィー工程を経て、コンタクトホールをソース領域1405の各上部に形成した。この後、透明導電薄膜を50 nm形成し、フォトリソグラフィー工程を経て、第14図(d)に示すようにパターン化し、表示電極1406を形成した。この後、接着層1407を介してシリコン基板1408を前記シリコン基板1400上部に接着し、前記シリコン基板1400裏面を研磨し、酸化シリコン薄膜1401を第14図(e)に示すように露出した。前記工程の後、フォトリソグラフィー工程を経て、ドレイン領域1404に対向した開口部を酸化シリコン薄膜1401に形成した。さらに、アルミニウム薄膜を厚さ1000 nm酸化シリコン薄膜1401に作製し、フォトリソグラフィー工程の後、垂直配線1409を第14

図(f)のように開口部を介してドレイン領域1404に形成した。この後、第14図(g)に示すように酸化シリコン薄膜1401に接着層1410を介して透明絶縁基板1411を接着し、研磨工程によりシリコン基板1410を除去し、接着層1409を除去した。以上のようにして、垂直配線1409と同一基板上にない液晶表示基板を得ることが出来、垂直配線1409方向への液晶配向処理が容易となった。さらに、水平配線1403と垂直配線1409が、1100°Cで作製された酸化シリコン薄膜1401で分離されているため、配線間の短絡が少ない。

本発明の第6の実施例について第15図を用いて説明する。シリコンウエハー1500上に熱酸化シリコン薄膜1501を厚さ100 nmを形成した。この工程の後、気相化学反応法により、酸化シリコン薄膜1501上に多結晶シリコン薄膜を150 nm作製し、フォトリソグラフィー工程の後、第15図(a)に示すようにトランジスタ領域1502を形成した。この後、酸素雰囲気中950°Cの環境

に置き、トランジスタ領域1502の表面100nmの酸化シリコン薄膜を形成した後、気相化学反応法により多結晶シリコン薄膜を厚さ400nm形成し、フォトリソグラフィー工程を経て、第15図(b)に示すようにパターン化し、ゲート電極1503を形成した。前記工程の後、トランジスタ領域にリンイオンをイオン注入しドレイン領域1504とソース領域1505を形成した後、酸化シリコン薄膜を500nm形成し、第15図(c)に示すように、フォトリソグラフィー工程を経て、コンタクトホールをソース領域1505の上部に形成した。その後、透明導電薄膜を50nm形成し、フォトリソグラフィー工程を経て、第15図(d)に示すようにパターン化し、表示電極1506を形成した。この後、接着層1507を介してシリコン基板1508を前記シリコン基板1500上部に接着し、前記シリコン基板1500裏面を研磨し、酸化シリコン薄膜1501を第15図(e)に示すように露出した。前記工程の後、フォトリソグラフィー工程を経て、ゲート電極1503に対向した開口部を酸化シリコン

薄膜1501に形成した。さらに、アルミニウム薄膜を厚さ300nm作製し、フォトリソグラフィー工程の後水平配線1509を第15図(f)のように形成した。この後、有機絶縁膜を酸化シリコン薄膜1501裏面に形成し、ドレイン領域1504に対向した開口部を有機絶縁膜及び酸化シリコン薄膜1501に形成した。前記工程の後、クロム薄膜を厚さ1000nmスパッタ法により作製した後、フォトリソグラフィー工程を経て、第15図(f)に示すように、前記クロム薄膜を垂直配線1510としてパターン化した。前記工程後、有機絶縁膜に接着層1511を介して透明絶縁基板1512を接着させ、第15図(g)に示すように、シリコン基板1508と接着層1507を除去した。以上の工程により、表示電極1506が、垂直配線1510と水平配線1509の同一平面上ない液晶表示基板が得られた。

以上の工程により作成した液晶表示基板は、任意の方向に配向処理することが容易であった。

〔発明の効果〕

以上説明したように本発明により、配線間の短

絡が少なくなおかつ液晶配向処理の容易な液晶表示基板が得ることが出来る。この結果画質の良い液晶表示装置が得られる。

4. 図面の簡単な説明

第1図は本発明の第1の液晶表示基板とその製造方法を説明するための図、第2図は従来の遮光膜を有する液晶表示基板の構造図、第3図は本発明の第2の液晶表示基板とその製造方法を説明するための図、第4図は従来の蓄積容量を有する液晶表示基板の構造図、第5図は本発明の第3の液晶表示基板とその製造方法を説明するための図、第6図は従来の液晶表示基板の配線と表示電極の構造を説明するための図、第7図は本発明の第4の液晶表示基板とその製造方法を説明するための図、第8図は本発明の第5の液晶表示基板とその製造方法を説明するための図、第9図は本発明の第6の液晶表示基板とその製造方法を説明するための図、第10図は本発明の第1の液晶表示基板とその製造方法の実施例を説明するための

図、第11図は本発明の第2の液晶表示基板とその製造方法の実施例を説明するための図、第12図は本発明の第3の液晶表示基板とその製造方法の実施例を説明するための図、第13図は本発明の第4の液晶表示用基板とその製造方法の実施例を説明するための図、第14図は本発明の第5の液晶表示基板とその製造方法の実施例を説明するための図、第15図は本発明の第6の液晶表示基板とその製造方法の実施例を説明するための図。

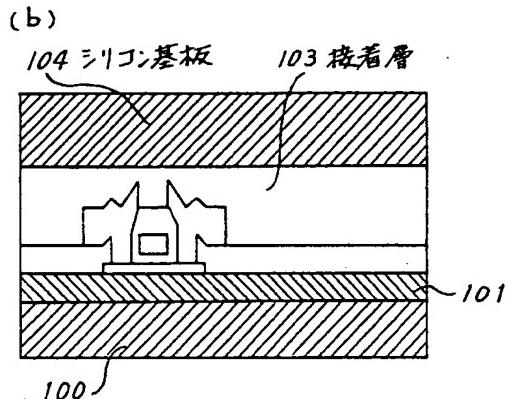
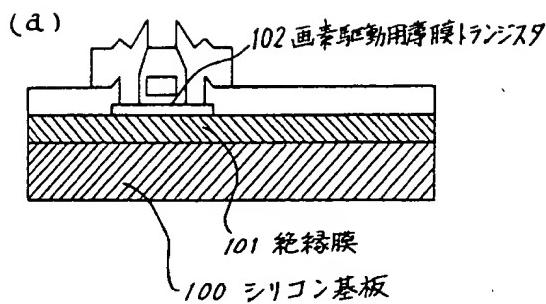
100……シリコン基板、101……絶縁膜、
102……画素駆動用薄膜トランジスタ、103
……接着層、104……シリコン基板、105…
…遮光膜、106……接着層、107……透明絶
縁基板、200……画素駆動用薄膜トランジ
スタ、201……遮光膜、202……画素駆動用トラン
ジスタ、203……液晶層、204……対向基板、
205……遮光膜、300……シリコン基板、
301……絶縁膜、302……画素駆動用薄膜ト
ランジスタ、303……配線、304……表示電
極、305……接着層、306……シリコン基板、

307 ……蓄積容量電極、308 ……接着層、
 309 ……透明絶縁基板、400 ……基板、401
 ……蓄積容量電極、402 ……表示電極、403
 ……絶縁体、500 ……シリコン基板、501 ……
 絶縁膜、502 ……画素駆動用薄膜トランジスタ、
 503 ……接着層、504 ……透明絶縁基板、
 505 ……表示電極、600 ……配線、601 ……
 表示電極、700 ……シリコン基板、701 ……
 絶縁膜、702 ……画素駆動用薄膜トランジスタ、
 703 ……垂直配線、704 ……接着層、
 705 ……シリコン基板、706 ……水平配線、
 707 ……接着層、708 ……透明絶縁基板、
 800 ……シリコン基板、801 ……絶縁膜、
 802 ……画素駆動用薄膜トランジスタ、803
 ……水平配線、804 ……接着層、805 ……シリ
 コン基板、806 ……垂直配線、807 ……接
 着層、808 ……透明絶縁基板、900 ……シリ
 コン基板、901 ……絶縁膜、902 ……画素駆
 動用薄膜トランジスタ、903 ……表示電極、
 904 ……接着層、905 ……シリコン基板、
 906 ……水平配線、907 ……絶縁膜、908
 ……垂直配線、909 ……接着層、910 ……透
 明絶縁基板、1000 ……シリコンウエハー、1001
 ……酸化シリコン薄膜、1002 ……トランジスタ
 領域、1003 ……水平配線、1004 ……ドレイン
 領域、1005 ……ソース領域、1006 ……垂直配
 線、1007 ……ソース電極、1008 ……表示電極、
 1009 ……接着層、1010 ……シリコン基板、
 1011 ……遮光膜、1012 ……接着層、1013 ……
 ガラス基板、1100 ……シリコンウエハー、
 1101 ……酸化シリコン薄膜、1102 ……トラン
 ジスタ領域、1103 ……水平配線、1104 ……ド
 レイン領域、1105 ……ソース領域、1106 ……
 水平配線、1107 ……ソース電極、1108 ……表
 示電極、1109 ……接着層、1110 ……シリコン
 基板、1111 ……蓄積容量電極、1112 ……蓄積
 容量電極、1113 ……ガラス基板、1200 ……シリ
 コンウエハー、1201 ……酸化シリコン薄膜、
 1202 ……トランジスタ領域、1203 ……水平配
 線、1204 ……ドレイン領域、1205 ……ソース

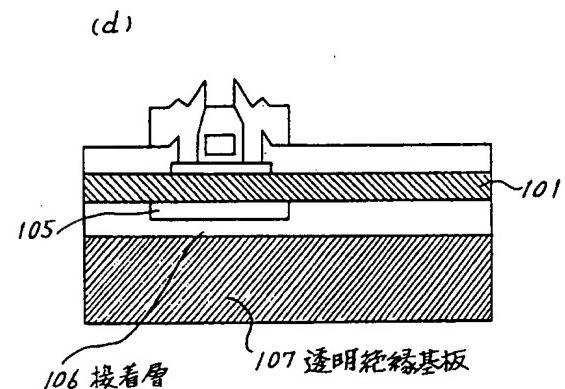
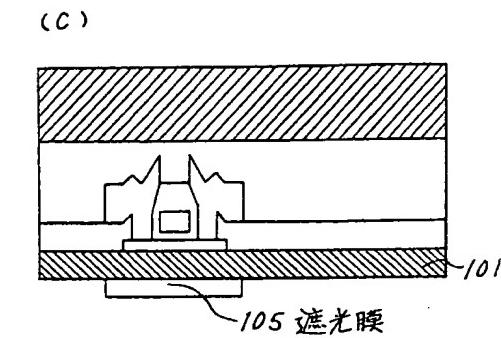
領域、1206 ……垂直配線、1207 ……接着層、
 1208 ……透明絶縁基板、1209 ……表示電極、
 1300 ……シリコンウエハー、1301 ……酸化シリ
 コン薄膜、1302 ……トランジスタ領域、1303
 ……ゲート電極、1304 ……ドレイン領域、1305
 ……ソース領域、1306 ……垂直配線、1307 ……
 ソース電極、1308 ……表示電極、1309 ……
 接着層、1310 ……シリコン基板、1311 ……水
 平配線、1312 ……接着層、1313 ……透明絶縁
 基板、1400 ……シリコンウエハー、1401 ……
 酸化シリコン薄膜、1402 ……トランジスタ領域、
 1403 ……水平配線、1404 ……ドレイン領域、
 1405 ……ソース領域、1406 ……表示電極、
 1407 ……接着層、1408 ……シリコン基板、
 1409 ……垂直配線、1410 ……接着層、1411
 ……透明絶縁基板、1500 ……シリコンウエハー、
 1501 ……酸化シリコン薄膜、1502 ……トラン
 ジスタ領域、1503 ……ゲート電極、1504 ……
 ドレイン領域、1505 ……ソース領域、1506 ……
 表示電極、1507 ……接着層、1508 ……シリ

コン基板、1509 ……水平配線、1510 ……垂直
 配線、1511 ……接着層、1512 ……透明絶縁基
 板。

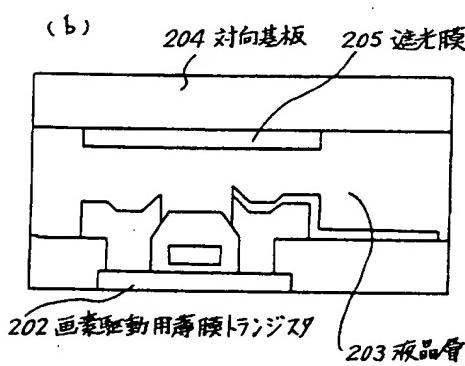
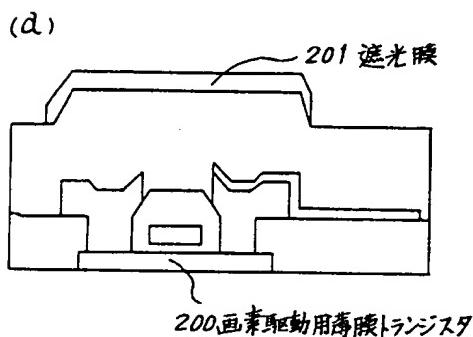
代理人 弁理士 内原晋



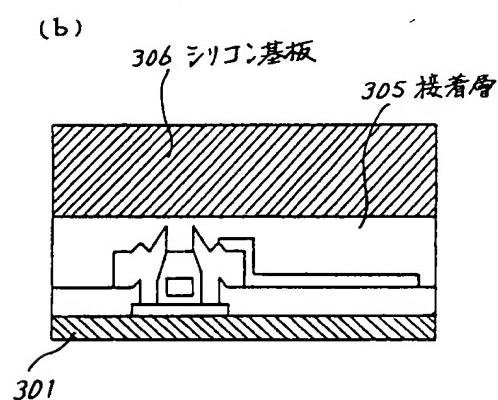
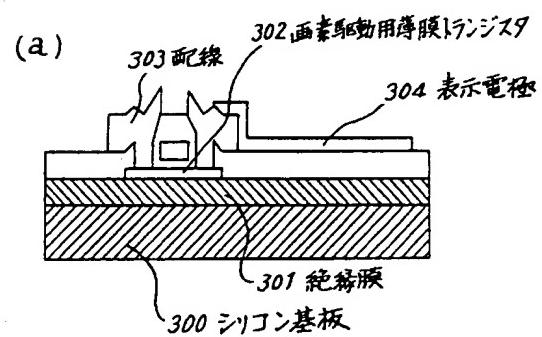
第1図



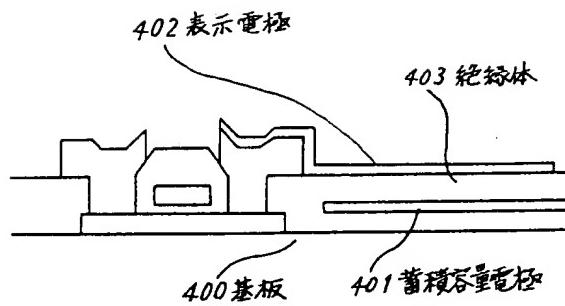
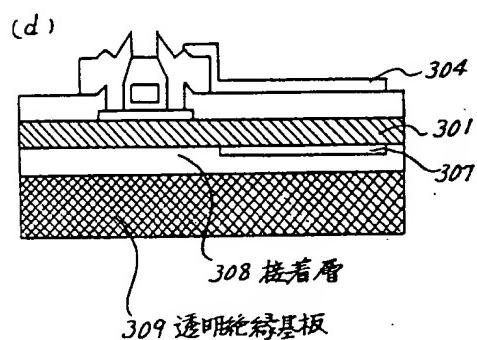
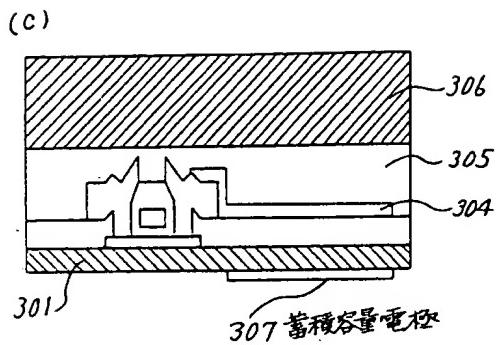
第1図



第2図

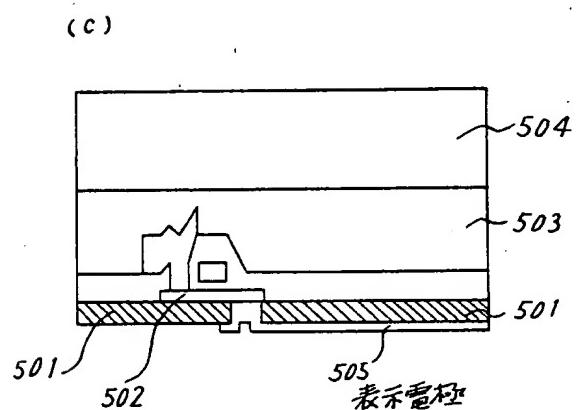
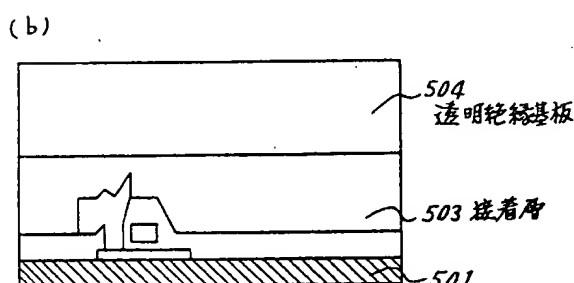
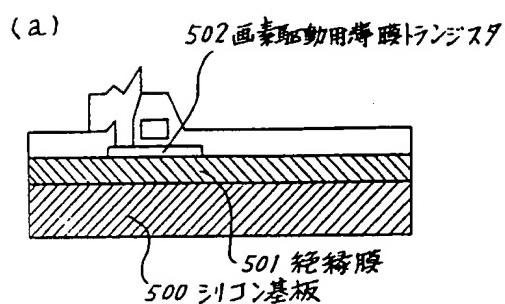


第3図



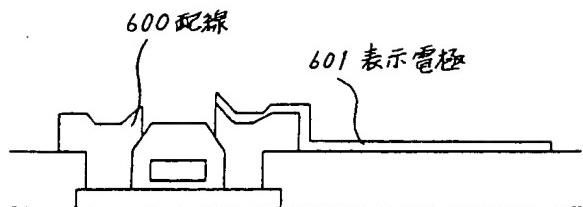
第 4 図

第 3 図

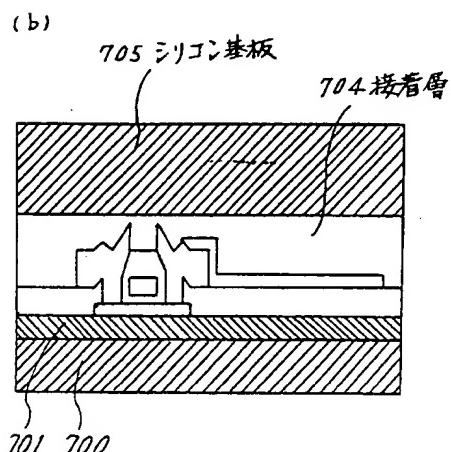
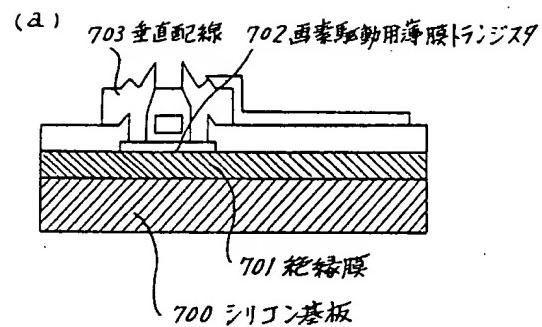


第 5 図

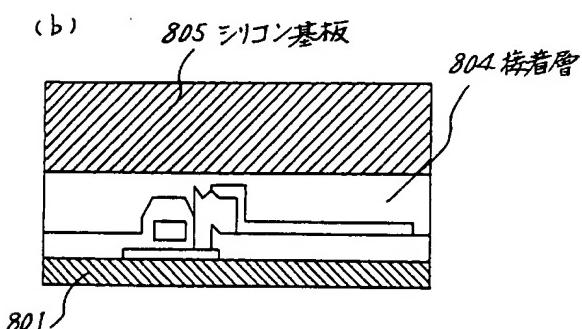
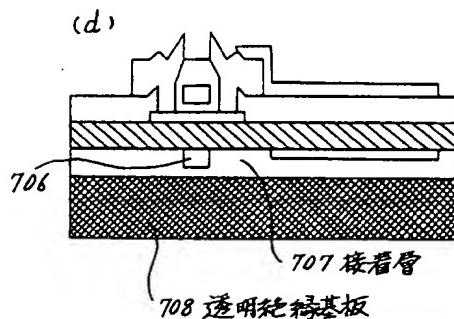
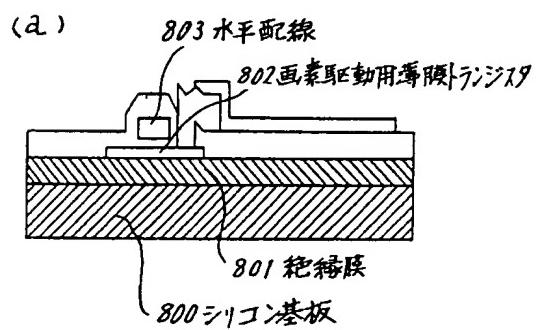
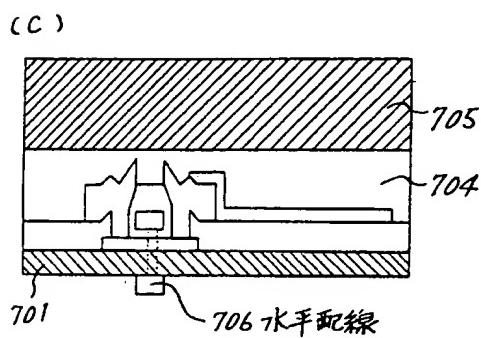
第 5 図



第6図

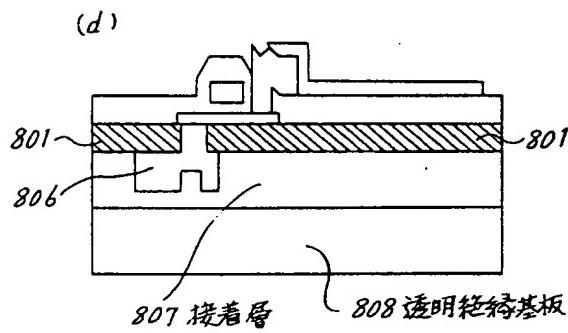
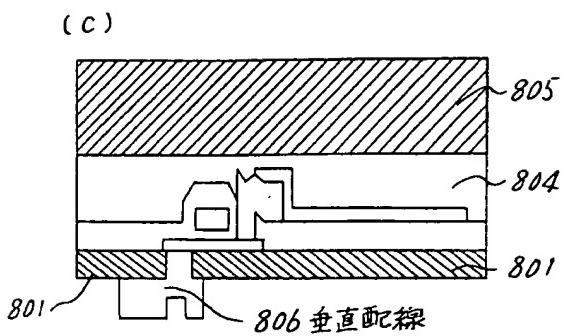


第7図

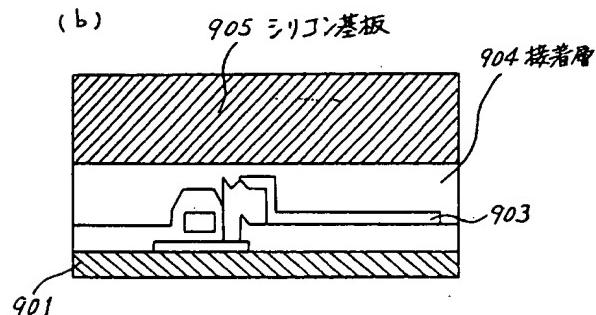
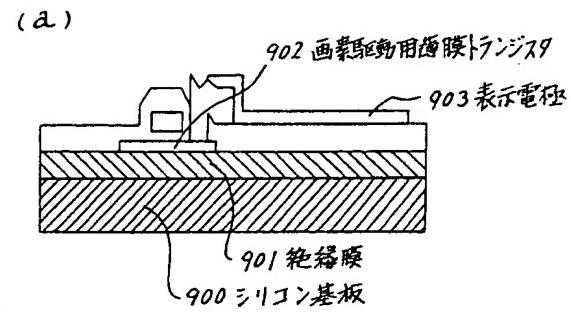


第7図

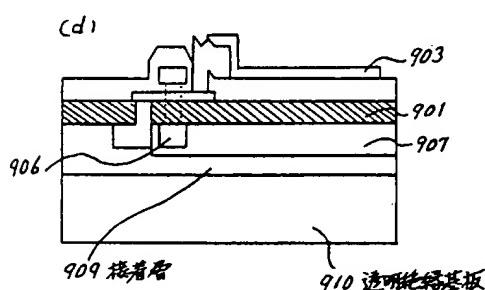
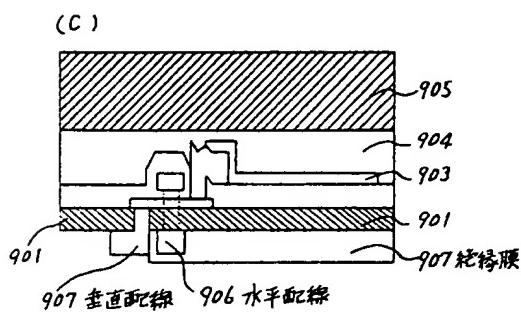
第8図



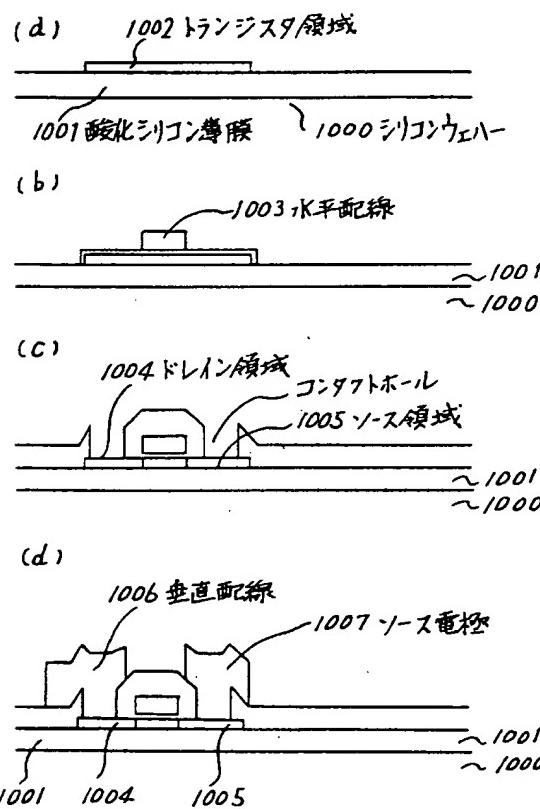
第 8 図



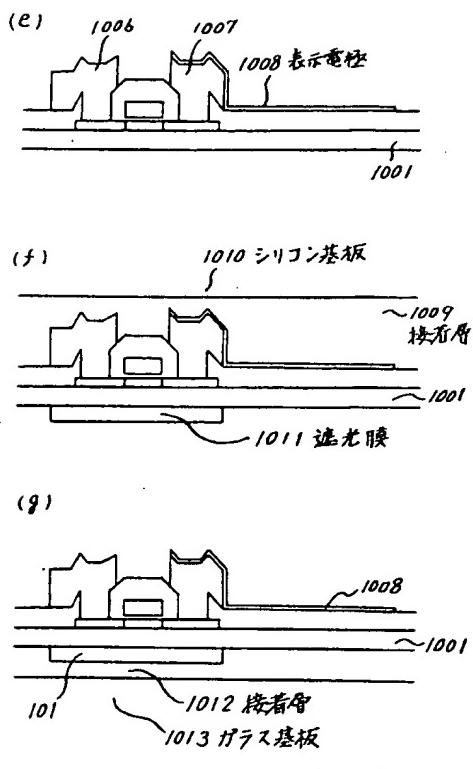
第 9 図



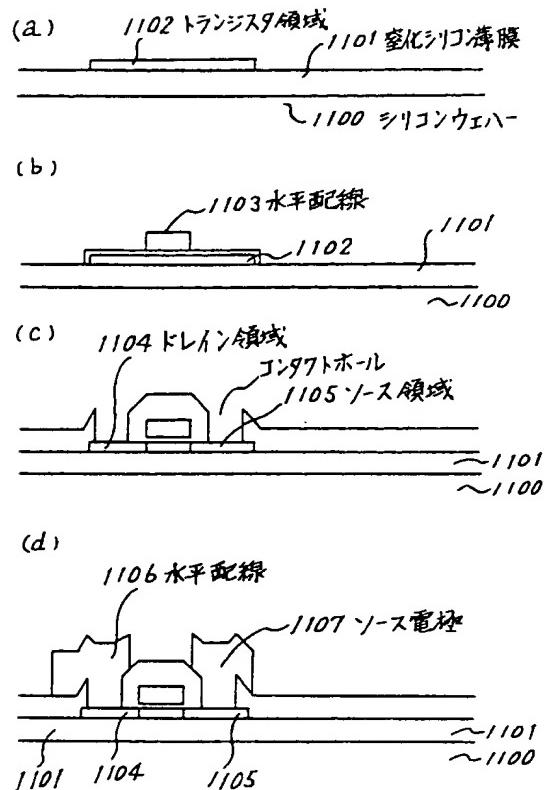
第 9 図



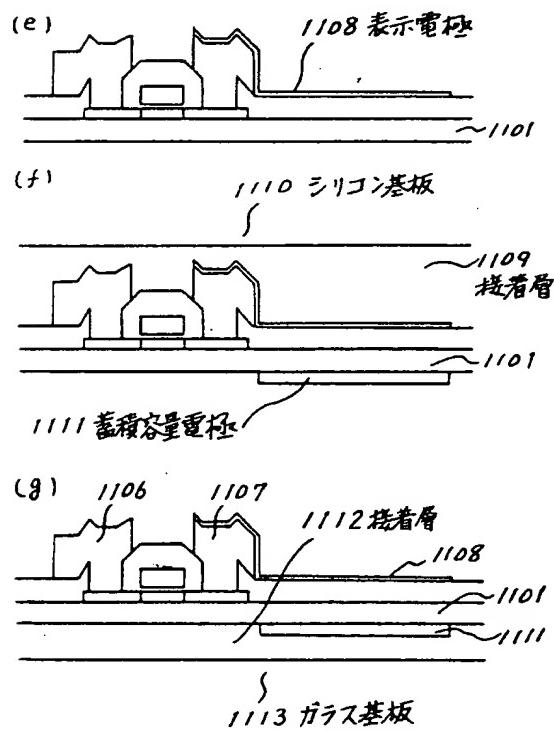
第 10 図



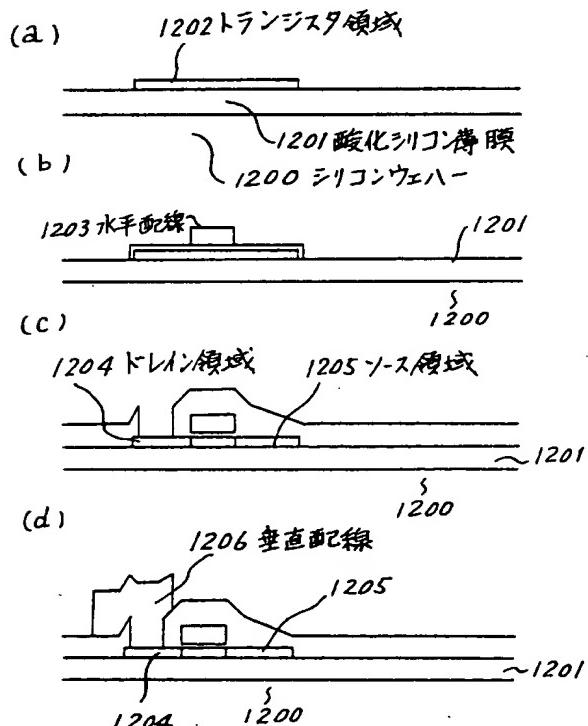
第 10 図



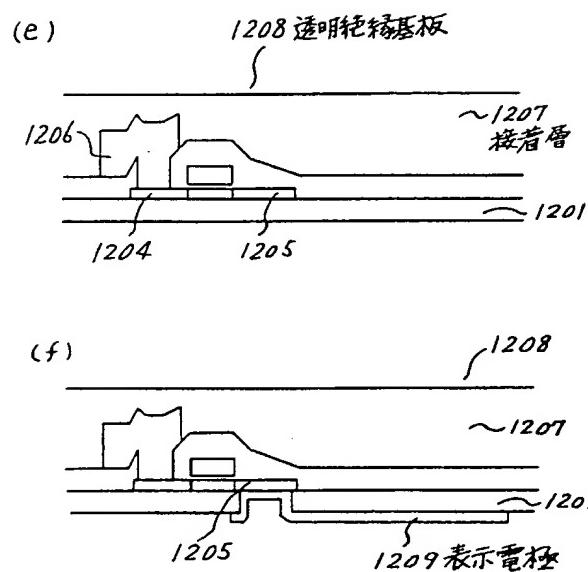
第 11 図



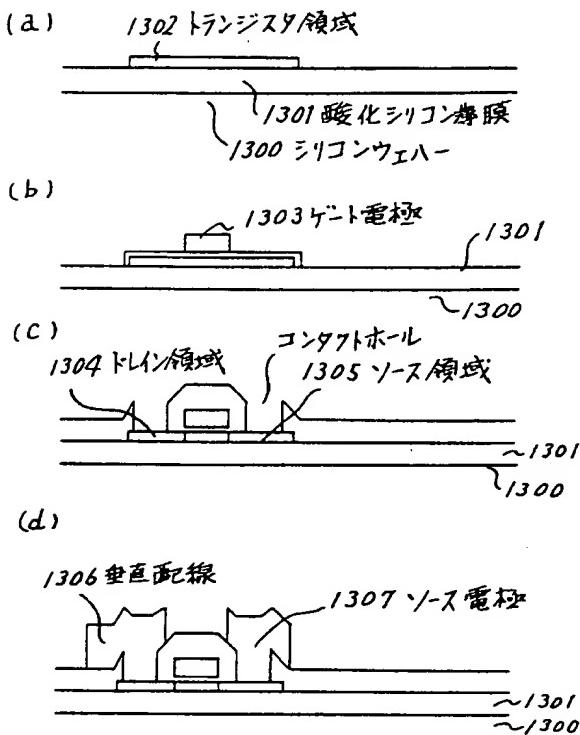
第 11 図



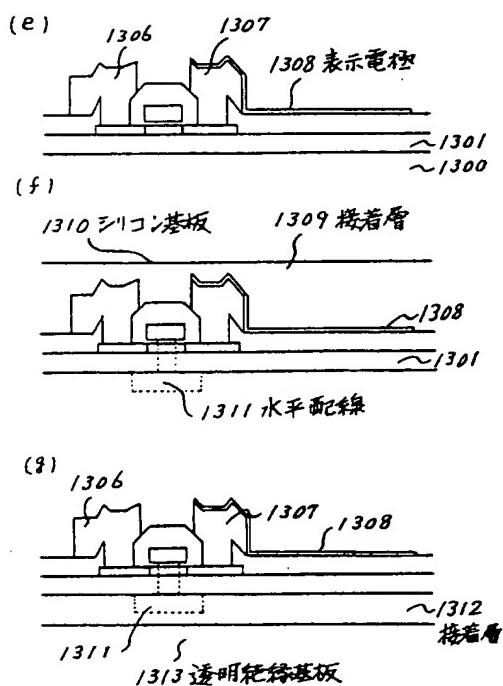
第 12 図



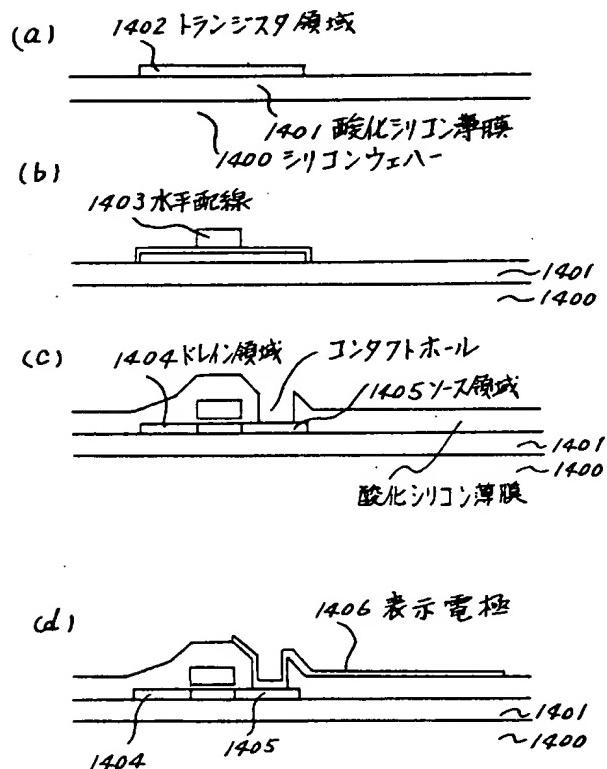
第 12 図



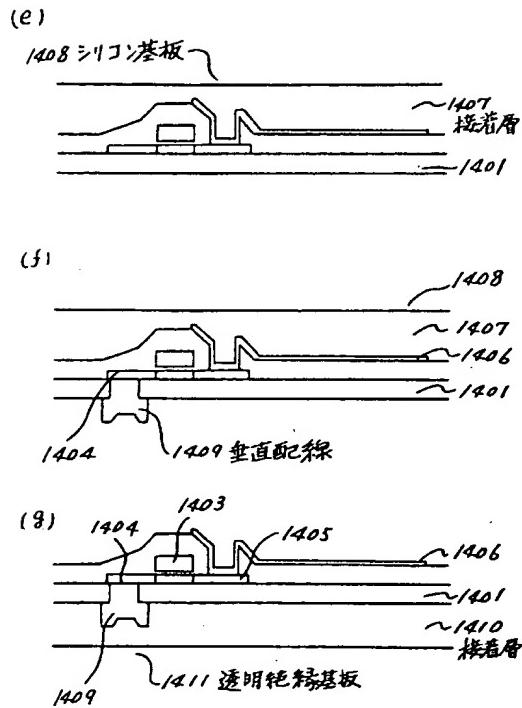
第 13 図



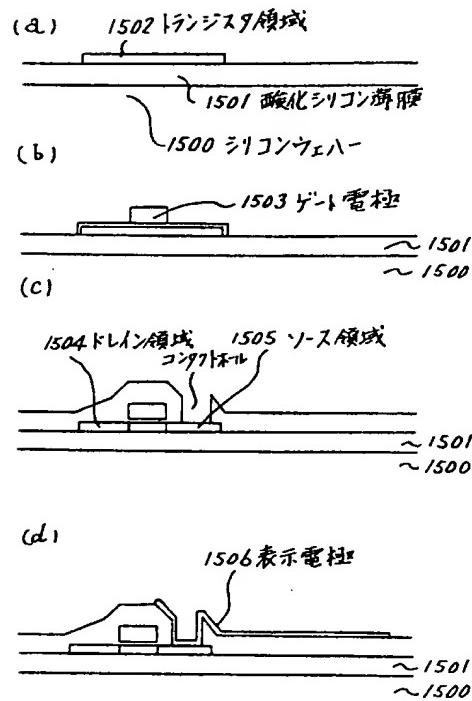
第 13 図



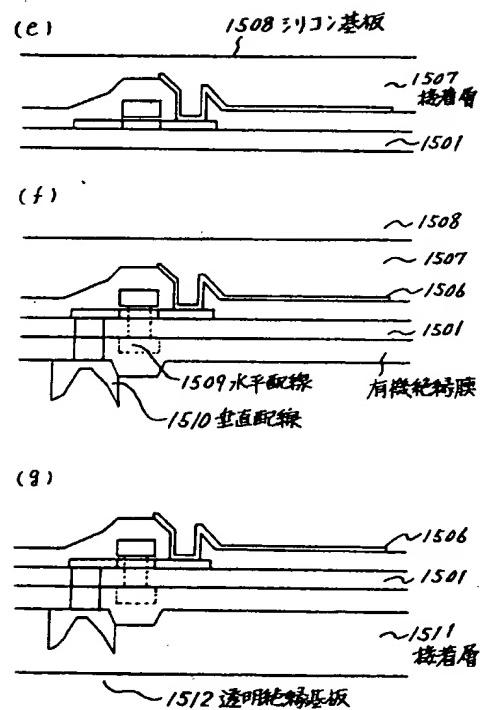
第 14 図



第 14 図



第 15 図



第 15 図